

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-287739

(43)Date of publication of application : 27.11.1990

(51)Int.Cl.

G06F 12/04

(21)Application number : 01-107841

(71)Applicant : MOJI ZUKEI CENTER:KK

(22)Date of filing : 28.04.1989

(72)Inventor : KAWABATA TOSHIHIKO

## (54) MEMORY ACCESS METHOD

## (57)Abstract:

PURPOSE: To store many data with small memory capacity by storing plural pieces of character information which are compressed in a variable length data memory, and providing a table memory which indicates data positions relatively and performing access processing.

CONSTITUTION: When data on the memory stored with plural variable length data such as character font information is accessed, the table memory where head addresses of variable length data and data lengths of plural variable length data are stored is provided and the data lengths are added based upon of the head addresses to calculate data positions, thereby accessing the data. Consequently, many data can be stored will small memory capacity.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-287739

⑬ Int. Cl.<sup>5</sup>  
G 06 F 12/04

識別記号  
5 1 0

庁内整理番号  
8841-5B

⑭ 公開 平成2年(1990)11月27日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 メモリアクセス方法

⑯ 特 願 平1-107841

⑰ 出 願 平1(1989)4月28日

⑱ 発 明 者 川 畑 俊 彦 東京都豊島区南大塚1-49-4 プレム・ブラーナ2F  
株式会社文字図形センター内

⑲ 出 願 人 株式会社文字図形セン 東京都豊島区南大塚1-49-4 プレム・ブラーナ2F  
ター

⑳ 代 理 人 弁理士 秋本 正実 外1名

明 細 書

1. 発明の名称

メモリアクセス方法

2. 特許請求の範囲

複数の可変長データを格納したメモリから該データをアクセスするメモリアクセス方法において、前記可変長データの先頭アドレス及び複数の可変長データのデータ長を格納するテーブルメモリを設け、該先頭アドレスを基準として複数のデータ長を加算することによりアクセスするデータ先頭位置を算出してアクセスすることを特徴とするメモリアクセス方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、メモリアクセス方法に係り、特にメモリに格納した文字情報を効率よくアクセスすることができるメモリアクセス方法に関する。

〔従来の技術〕

近年、日本語ワードプロセッサ、パーソナルコンピュータ、ワークステーションの普及により企

業内等における文書作成及び印字が急速に普及している。これらの印字書体は個々のワードプロセッサ等に標準搭載されているが、機種によっては書体の完成度が充分でないために文字の品質向上が望まれている。

この文字品質を向上させるために近年は、高品位な文字フォントを格納したフォントカードを複数用意し、ビジネスまたはパーソナル等の用途に応じて該フォントカードを差し替えることにより、ニーズを満たす印字を行うものが提案されている。

〔発明が解決しようとする課題〕

前記従来技術によるフォントカードは、文字フォント情報をメモリに格納する場合、可変長のフォント情報に対して個々に絶対アドレスを付与し、該絶対アドレスを格納したテーブルメモリ及び該アドレスに対応するデータメモリを用意しているため、メモリ容量が膨大となると言う不具合があった。

本発明の目的は前記従来技術による問題点を除去することであり、少ないメモリ容量で多量のデ

## 特開平 2-287739(2)

ータの格納及びアクセス可能なメモリアクセス方法を提供することである。

## 〔課題を解決するための手段〕

前記目的を達成するため本発明には、複数の可変長データを格納したメモリから該データをアクセスするメモリアクセス方法において、前記可変長データの先頭アドレス及び複数の可変長データのデータ長を格納するテーブルメモリを設け、該先頭アドレスを基準として複数のデータのデータ長を加算することによりデータ位置を算出してアクセスする。

## 〔作用〕

本メモリアクセス方法は、複数のデータを可変長のデータメモリに格納すると共に該データ位置を相対的に示すテーブルメモリを設けてアクセス処理を行うことにより、少ないメモリ容量で多数のデータを格納することができる。

## 〔実施例〕

以下本発明によるメモリアクセス方法及び該方法が適用される文字情報圧縮装置を図面を参照し

て説明する。第1図は文字情報を例えばフォントカードのメモリに格納するための圧縮処理手順を説明するための図であり、第2図は第1図の各手順におけるデータ形式を説明するための図、第4図は本実施例における圧縮処理を施す文字フォントを示す図、第4図は片仮名の「エ」の文字フォント40を示す図、第5図は文字圧縮方法を実現する圧縮装置の一例を示す図である。第6図は本実施例によるメモリアクセス方法を説明するための図である。

尚、本実施例に適用される文字フォントは漢字を前提としているため本来は48×48ドットのマトリックスパターンであるが、本実施例においては理解を容易にするために第4図に示す8×6ドットのマトリックスパターンを用いて圧縮する例を説明する。

まず前記圧縮装置は、第4図の片仮名「エ」の文字フォントの上方からラスタスキャンを行い（第1図のステップ100）、第2図に示す複数ラインから成る「0」及び「1」の2値化信号であるスキ

- 3 -

ャンデータ（a）を作成してスキャンデータメモリ1に格納する。

次に本装置は、排他的論理和回路2によって最初のラスタライン1を除いたスキャンデータの隣接ライン間での排他的論理和をとることにより、第2図（b）に示すデータ中の「0」の割合を増加させ（第1図のステップ101）、マトリックスメモリ3に格納する。具体的に述べると排他的論理和回路2は、第2図（a）のラスタライン1のデータ「00000000」をそのまま第2図（b）に示すライン1に格納し、第2図（a）のラスタライン1及び2のデータ「00000000」の排他的論理和結果「00000000」を第2図（b）に示すライン2に格納する。同様にラスタライン2及び3のデータ「00000000」と「00111111」との排他的論理和結果「00111111」をライン3に格納し、ラスタライン3及び4のデータ「00111111」と「00001100」との排他的論理和結果「00110011」を第2図（b）に示すライ

- 5 -

- 4 -

ン4に格納する。以下同様隣接するラスタライン間の排他的論理和結果を第2図（b）に示すマトリックス（第5図のマトリックスメモリ3に相当）に格納する。この排他的論理和処理によって本例の場合、第2図（a）のドットデータ「0」を32ドットから、第2図（b）のデータでは「0」を34ドットに増加させる。

次いで本実施例の装置は該論理和がとられたマトリックスデータをライン1から順に第2図（c）に示すシリアルデータに変換し（第1図のステップ102）、ラインメモリ4に格納する。即ちこのステップ102では、複数ラインから成るドットデータ（8×6ビット）をラインとは無関係に1×6ビット（1×48ビット）の2値化列に変換する。

更に当該装置は第1圧縮回路5により該シリアルデータを4ビット毎のブロックに分割し、当該ブロック内に「1」が無い場合、即ちオール「0」の場合は「0」を第1圧縮データとして出力し（第1図のステップ104,105）、ブロック内に「1」がある場合は「1」を第1圧縮データとして出力

- 6 -

## 特開平 2-287739(3)

すると共に、そのブロック内データを圧縮データメモリ6に保管する（第1図のステップ104,105,107）。この第1圧縮データはブロック情報ビットと呼ばれる。

第2図の例ではシリアルデータ(c)の4ブロック(16ビット)まで「0」が連続するため4つの「0」が第1圧縮データ(d)として出力され、これに続くシリアルデータ(c)の4ブロック(16ビット)が「1」を含むため4つの「1」が出力されると共に、これら「1」を含むブロック内データD1(「0011111100110011」)が保管される。以下同様に2つの「0」及び「1」がそれぞれ第1圧縮データ(d)として出力されると共に、「1」を含むブロック内データD2(「00110011」)がメモリ6に保管される。

これにより第1圧縮データ(d)は、第2図の様に「000011110011」となる。次いで第2圧縮回路7により該データを前記同様に4ビット毎のブロックに分割し、このブロック内に

「1」が無い場合は「0」を第2圧縮データとして出力し（第1図のステップ110,112）、ブロック内に「1」がある場合は「1」を第2圧縮データとして出力すると共にそのブロック内データを圧縮データメモリ6に保管する（同図ステップ110,113,114）。

従って圧縮後のデータは、シリアルデータ(c)中のデータD1及びD2、第1圧縮データ(d)中のデータD3、第2圧縮データ(e)中のデータD4、合計35ビット(4×4+4×2+4×2+3)として圧縮データメモリ7に格納される。このデータ量は、スキャンデータ全ての48ビットを格納する場合に比べて3/4に圧縮することができる。この第2圧縮データはルート情報ビットと呼ばれる。

このデータ圧縮率は、本実施例の場合3/4であるが、例えば48×48ドット文字サイズで前記例による圧縮処理を行った場合、約1/3に圧縮することができる。従って圧縮処理された文字情報は、例えばフォントカードに従来の比べて約3

- 7 -

倍格納することができる。

この圧縮データメモリ6格納された文字情報は、以下に述べる本発明の特徴であるアクセス方法によってアクセスされる。

前記圧縮データメモリ6は、第6図に示す様に前記第1圧縮データであるブロック情報ビット及び第2圧縮データであるルート情報ビットとから成る複数データを可変長に格納するデータメモリ9と、該複数データのメモリ位置を示すテーブルメモリ8とから構成される。前記データメモリ9に格納されるデータは、先頭アドレス81に対応するアドレス位置に格納されたデータaと、該データaに続くデータb, c, d...であり、これらデータ長は可変であるため各々のデータ長が $\Delta a, \Delta b, \Delta c, \Delta d...$ と異なっている。

また前記テーブルメモリ8は、前記データaの先頭アドレス81(4バイト)、該データaのデータ長 $\Delta a$ を含むテーブル82(2バイト)、データbのデータ長 $\Delta b$ を含むテーブル83(2バイト)等を格納している。即ち本実施例によるテーブル

- 8 -

メモリ8は、従来の様にデータメモリ9内の絶対アドレスを格納するのではなく、先頭アドレス81の他は各データa, b, c...に対応するデータ長を順次格納することにより、データメモリ9内のデータb以降の相対的データ位置を示している。

この様に構成された圧縮データメモリ6は、例えばメモリ9内のデータdをアクセスする場合、テーブルメモリ8の先頭アドレス81を基準としてデータa乃至cのデータ長 $\Delta a, \Delta b, \Delta c$ を加算することによりその先頭位置を算出してデータアクセスを行う。

従って本実施例によるアクセス方法によれば、データメモリ9を可変長にしたと共に、該メモリ9内のデータ位置を先頭アドレス81を基準として相対的位置を示すテーブルメモリ8を設け、該相対的位置検出によってデータアクセスを行うことにより、前記データ圧縮とあいまってメモリ容量の増加を防止することかできる。

尚、本実施例においては圧縮した文字情報をア

特開平 2-287739(4)

クセスする例を説明はしたが、本発明はこれに限られるものではない。

#### 〔発明の効果〕

以上述べた如く本発明のメモリアクセス方法は、圧縮処理した複数の文字情報を可変長のデータメモリに格納すると共に該データ位置を相対的に示すテーブルメモリを設けてアクセス処理を行うことにより、少ないメモリ容量で多量のデータを格納することができる。

#### 4. 図面の簡単な説明

第1図は文字情報の圧縮処理手順を説明するためのフローチャート図、第2図は第1図の各手順におけるデータ形式を説明するための図、第3図は本実施例による圧縮及び伸張処理の概略を説明するための図、第4図は圧縮処理を施す文字フォントを示す図である。第5図は文字圧縮方法を実現する装置構成を示す図、第6図は本発明の一実施例によるアクセス方法を説明するための図である。

1：スキャンデータメモリ、2：排他的論理和回路、3：マトリックスメモリ、4：ラインメモ

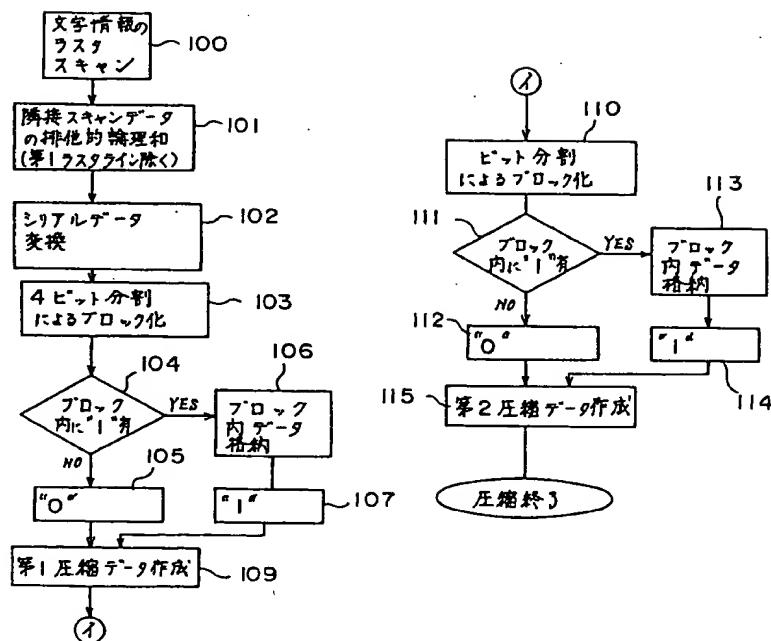
り、5：第1圧縮回路、6：圧縮データメモリ、7：第2圧縮回路、8：テーブルメモリ、9：データメモリ、40：文字フォント。

特許出願人 株式会社 文字図形文字センター  
代理人弁理士 秋 本 正 実  
ほか一名

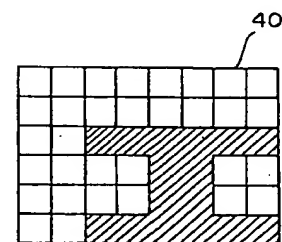
- 11 -

- 12 -

第 1 図

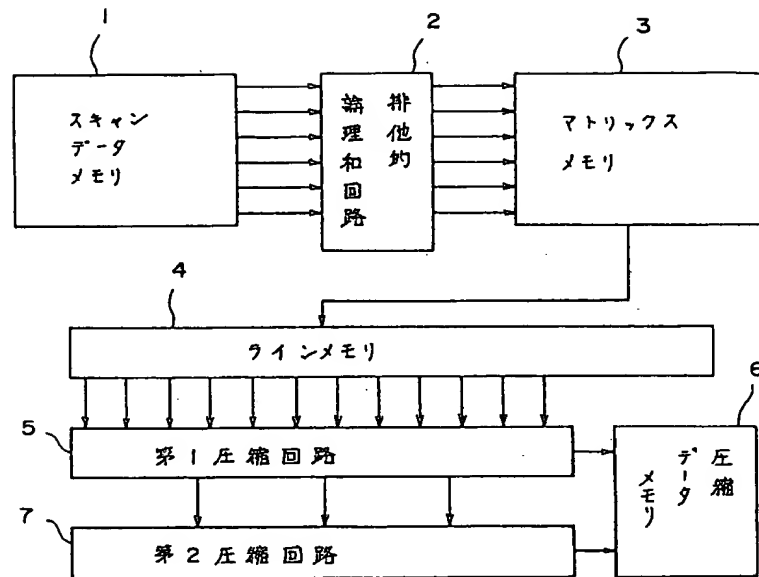


第 2 図



特開平 2-287739(6)

第 5 図



第 6 図

